

目 录

1	引言	4
2	适用范围	4
3	信号质量测试概述	4
3.1	信号完整性	4
3.2	信号质量	5
4	信号质量测试条件	10
4.1	单板/系统工作条件:	10
4.2	信号质量测试人员要求:	10
4.3	示波器选择与使用要求:	10
4.4	探头选择与使用要求	11
4.5	测试点的选择	12
5	信号质量测试通用标准	12
5.1	信号电平简述:	12
5.2	合格标准	13
5.3	信号质量测试结果分析注意事项	15
6	信号质量测试方法	17
6.1	电源信号质量测试	17
6.1.1	简述	17
6.1.2	测试项目	17
6.1.3	测试方法	17
6.2	时钟信号质量测试	24
6.2.1	简述	24
6.2.2	测试方法	24
6.2.3	测试指标与合格标准	24
6.2.4	注意事项	26
6.3	复位信号质量测试	27
6.3.1	简述	27
6.3.2	测试方法	27
6.3.3	测试项目与合格标准	27
6.3.4	注意事项	29
6.3.5	测试示例	29
6.4	数据、地址信号质量测试	31
6.4.1	简述	31

6.4.2	测试方法.....	31
6.4.3	测试项目.....	32
6.4.4	测试示例:	32
6.5	差分信号质量测试.....	34
6.5.1	简述.....	34
6.5.2	测试项目.....	34
6.5.3	测试方法.....	34
6.5.4	合格标准.....	36
6.5.5	注意事项.....	39
6.5.6	测试示例.....	39
6.6	串行信号质量测试.....	41
6.6.1	概述.....	41
6.6.2	测试项目.....	42
6.6.3	测试方法.....	43
6.6.4	合格标准.....	44
7	信号质量测试CHECKLIST.....	47
8	测试系统接地说明.....	49
9	引用标准和参考资料.....	错误! 未定义书签。

信号质量测试规范

关键词：信号完整性 、测试

摘 要：本规范详细说明了单板信号质量测试的方法。其中包括各类信号波形参数的定义，进行信号质量测试的条件，覆盖范围，合格标准，信号分类，各类信号波形参数的指标，测试点的选择以及测试结果分析重点。

缩略语清单：

SI	Signal Integrity	信号完整性
TTL	Transistor-Transistor Logic	晶体管-晶体管逻辑
CMOS	Complementary Metal Oxide Semiconductor	互补金属氧化物半导体
LVTTL	Low Voltage TTL	低电压 T T L
LVC MOS	Low Voltage CMOS	低电压 C M O S
ECL	Emitter Coupled Logic	发射极耦合逻辑
PECL	Pseudo/Positive Emitter Coupled Logic	伪发射极耦合逻辑
LVDS	Low Voltage Differential Signaling	低电压差分信号
GTL	Gunning Transceiver Logic	射电收发逻辑
HSTL	High-Speed Transceiver Logic	高速收发器逻辑
eHSTL	Enhanced High-Speed Transceiver Logic	增强高速收发器逻辑
dHSTL	Differential HSTL	差分HSTL
SSTL	Stub Series-terminated Logic	线脚系列终端逻辑
SPI	Serial Peripheral Interface	串行外围接口
I²C	Inter Integrated Circuit Bus	内部集成电路总线
USB	Universal Serial Bus	通用串行总线

1 引言

《信号质量测试规范》是为了规范和指导 **硬件调试**、**硬件测试** 以及 **生产测试** 时信号质量测试方法及手段，在总结长期实际工作经验的基础上制定的。

由于某些原因的限制，本规范难免会存在着一些纰漏。我们实际使用、遵循规范的过程，也是一个检验和完善规范的过程。希望大家能积极的提出宝贵意见及见解，以保持该规范的可操作性，推动我司规范性文档的建设进程。

2 适用范围

本规范作为研发、中试进行信号质量测试的共同标准。

本规范适用所有数字信号的调试、测试过程。测试时应覆盖各个功能模块，包括电源、时钟、复位电路、CPU最小系统、外部接口（E1、网口、串口等等）、逻辑芯片（CPLD/FPGA）、专用电路等等。

模拟电路由于其信号的连续变化性，不能直接应用本规范，可择情参考。

本文档不包括的内容：非信号质量测试内容。例如不适用于部分硬件接口指标测试，系统硬件规格测试、环境测试、EMC测试、安规测试、防护测试、振动测试等。

3 信号质量测试概述

3.1 信号完整性

现在的高速数字系统的时钟频率可能高达数百兆Hz，其快斜率瞬变和极高的工作频率，以及很大的电路密集度，必将使得系统表现出与低速设计截然不同的行为，出现了信号完整性问题。破坏了信号完整性将直接导致信号失真、定时错误，以及产生不正确数据、地址和控制信号，从而造成系统误工作甚至导致系统崩溃。因此，信号完整性问题已经越来越引起高速数字电路设计人员的关注。

如果电路中信号能够以要求的时序、持续时间和电压幅度到达IC，则该电路具有较好的信号完整性。反之，当信号不能正常响应时，就出现了信号完整性问题。SI（Signal Integrity）解决的是信号传输过程中的质量问题，尤其是在高速领域，数字信号的传输不能只考虑逻辑上的实现，物理实现中数字器件开关行为的模拟效果往往成为设计成败的关键。

3.2 信号质量

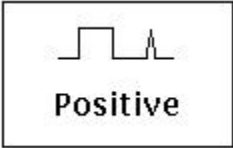
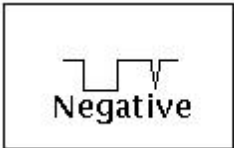
常见的信号质量问题表现在下面几个方面：

1) 过冲

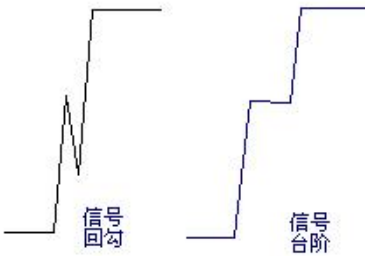
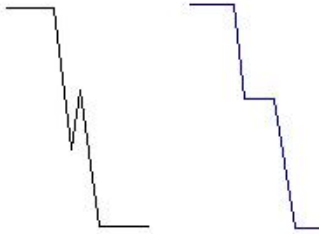
类型	正过冲	负过冲
图例		
危害	1、 闩锁损伤器件 ($>V_{CC}/V_{DD}$)，对器件冲击造成器件损坏； 2、 形成干扰源，对其它器件造成串扰。	1、 闩锁损伤器件 ($<V_{EE}/GND$)，对器件冲击造成器件损坏； 2、 管脚上的负电压可能使器件PN衬底（寄生二极管）前向偏置，流过的大电流大于1安时，熔断键丝产生开路。
产生原因	1、 其它相邻信号串扰； 2、 器件驱动能力太强； 3、 没有匹配或者匹配不当。	
解决建议	1、 PCB布线避开干扰源和耦合路径； 2、 增加电阻匹配，参考做法是始端串电阻或者末端并阻抗（电阻），减少过冲。	
备注	闩锁：关于闩锁的概念可以参考《数字电路》这一类教材。现在由于厂家工艺改进，闩锁问题基本上可以得到规避。但是长时间的信号过冲会使得器件失效率增加（尤其是负过冲）。	

2) 毛刺（噪声）

类型	正向毛刺	负向毛刺
----	------	------

图例		
危害	容易造成控制信号控制错误或时钟信号相位发生错误： 1) 数据线上的毛刺如果被采样到，可能造成判断结果错误； 2) 边沿触发的器件中，时钟线上的毛刺可能会使得采样到多余的数据（相当于多了一拍时钟）。	
产生原因	1) PCB走线串扰（例如数据线和时钟线并行走线较长，信号线放置在晶振等干扰源附近）； 2) 外界干扰，如地线噪声等； 3) 逻辑出现竞争、冒险；	
解决建议	1) 控制器件布局和PCB走线，信号远离干扰源； 2) 添加去耦电容或输出滤波等。滤波器件尽量靠近信号管脚； 3) 逻辑设计中添加冗余项，或者采用同步逻辑设计，避免竞争冒险；	
备注	1) 毛刺脉冲带来的问题多发生在器件替代后出现问题； 2) 如果负向毛刺时始终落在高电平判决门限以上，那么没有什么影响（因为始终会被判断为高电平）；如果正向毛刺始终落在低电平判决门限以下，那么没有什么影响（因为始终会被判断为低电平）。	

3）回勾（台阶）

类型	上升沿回勾	下降沿回勾
图例		
危害	1) 主要是时钟类信号上的回勾有危害，可能会使得采样到多余的数据（相当于多了一拍时钟），影响了时钟信号上升沿和下降沿的单调性；	

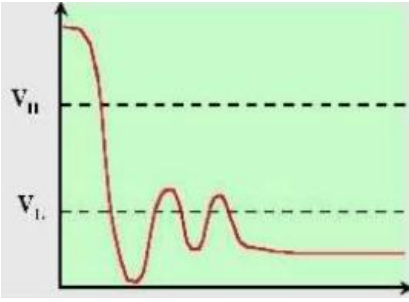
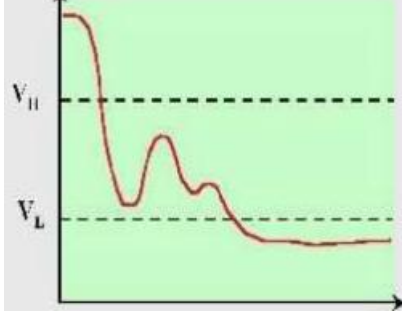
	2) 对于电源信号，上电边沿的回勾可能导致系统死机，需要结合复位信号判断是否可以接受； 3) 数据信号由于一般是在数据的中间采样，回勾的影响不是很大（除非速率很高，建立保持时间 1~2ns，这时需要考虑回勾对数据的影响）。
产生原因	匹配不当，信号放射回来形成回勾
解决建议	增加合适的匹配。一般来讲，对于单端信号，单板内信号可以加 33 欧 电阻始端匹配，板间信号加 200 欧 电阻匹配较合适。
备注	如上面毛刺项的说明，如果回勾始终落在高电平判决门限以上（或者始终落在低电平判决门限以下），那么没有什么影响，因为会被判断为高电平（或低电平）

3) 信号边沿缓慢

类型	上升沿缓慢	下降沿缓慢
图例		
危害	上升、下降沿缓慢发生在数据信号线上（串口信号线，HW信号线等）时，会造成数据采样错误。	
产生原因	驱动能力不够，或者负载过大（例如链路阻抗太大）	
解决建议	1) 提高驱动能力； 2) 减小负载。	
备注	由于驱动不足或者负载过大，信号边沿缓慢常常伴随着信号幅度较低现象	

4) 振荡（回冲/振铃）

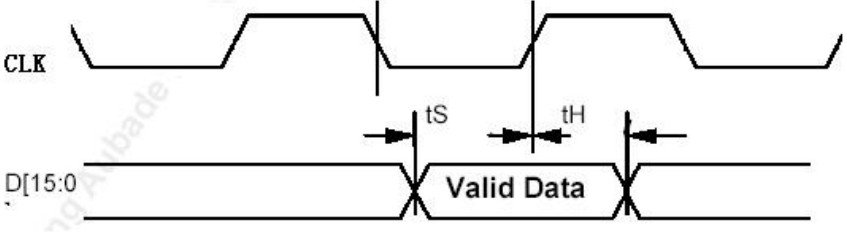
类型	回冲	振铃
----	----	----

图例	 表现：多次跨越电平临界值。又称为回冲。处于 V_H 附近的回冲称为正向回冲，处于 V_L 附近的回冲称为负向回冲	 表现：经过多次反复才回归正常电平。又称为振铃。
缺点（危害）	类似于多次过冲。且跨越电平临界值后，在高低电平之间是一种不确定的状态。	在高低电平之间是一种不确定的状态（有可能被判断为 0，也可能被判断为 1）。
产生原因	匹配不当（例如匹配阻抗过大、过小）。	
解决建议	更改为合适的匹配电阻/阻抗。	
备注		

5）建立、保持时间（Setup time & Hold time）

建立保持时间是一个时序的概念。通常把单板的数字信号分为控制信号、时钟信号、地址信号、数据信号等，时序关系就是这些信号间的相互关系。判断时序关系主要有两个指标：建立时间和保持时间。

如下图，建立时间就是指在触发器的采样信号（这个采样信号通常是指时钟）有效之前，数据已经稳定不变的时间；而保持时间是指采样信号有效之后数据保持稳定不变的时间。

类型	建立时间	保持时间
图例		
缺点（危害）	建立时间不够，读到的数据会是一个不稳定的数据，可能会采样错误	保持时间不够，读写数据处理过程中同样可能读写到错误数据
产生原因	设计时没有考虑清楚，设计出错。或者没有考虑到设计容限范围，在某	

	些异常情况下（例如温度变化使得器件参数漂移）建立、保持时间不够。
解决建议	1、设计时把时钟从 FPGA/CPLD 中引出，在设计裕度不够时可以调节； 2、对于时钟边沿采样信号，尽量使得采样时钟边沿在数据的中间，这样尽管器件参数漂移，设计上还是有较大的裕度。
备注	1、在某些特殊情况下，建立时间和保持时间的值可以为零； 2、有时芯片资料给出的参数不对，按照手册要求设计反而出错（这在自己开发 ASIC 的情况下可能会发生。商用芯片一般不存在此类问题）。

4) 产生信号质量问题的其它原因：

➤ 串扰

串扰表现为在一根信号线上有信号通过时，在PCB板上与之相邻的信号线上就会感应出相关的信号，我们称之为串扰。

串扰的表现形式通常是毛刺。

信号线距离地线越近，线间距越大，产生的串扰信号越小。异步信号和时钟信号更容易产生串扰。因此解串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。

➤ 电磁辐射

EMI (Electro-Magnetic Interference) 即电磁干扰，产生的问题包含过量的电磁辐射及对电磁辐射的敏感性两方面。EMI表现为当数字系统加电运行时，会对周围环境辐射电磁波，从而干扰周围环境中电子设备的正常工作。它产生的主要原因是电路工作频率太高以及布局布线不合理。目前已有进行 EMI仿真的软件工具，但EMI仿真器都很昂贵，仿真参数和边界条件设置又很困难，这将直接影响仿真结果的准确性和实用性。最通常的做法是将控制EMI的各项设计规则应用在设计的每一环节，实现在设计各环节上的规则驱动和控制。

4 信号质量测试条件



测量时请尽量满足下面的测试条件，否则测试结果可能会不正确，且测试结果会因人而异，不利于对测试对象的评估！

4.1 单板/系统工作条件：

单板信号质量测试须满足以下条件：

- 1) 单板/系统工作在室温条件；
- 2) 单板/系统可靠接地。接地内容参考第8节“[测试系统接地说明](#)”；
- 3) 单板/系统上电正常工作 1 小时后测试；
- 4) 单板/系统尽量工作在**满负荷**条件下。如果测试项目有**轻载**、**满载**限制要求，则轻载、满载条件下都要测试；
- 5) 单板电源稳定在额定电压 $\pm 5\%$ 的范围内。

4.2 信号质量测试人员要求：

- 1) 熟悉逻辑电平的基本知识，熟练掌握示波器的使用方法；
- 2) 对被测单板的原理电路有深刻认识，对信号分类有清楚认识，了解板上器件的工作速度和工作电平。

4.3 示波器选择与使用要求：

- 1) 测量前保证测试仪器（仪表）和被测单板或系统共地。如果不共地，地线浮空，可能会得到错误的测试结果。接地内容参考第8节“[测试系统接地说明](#)”；
- 2) 测量前需要校准仪器；
- 3) 为确保测试数据的精度，应尽量采用**高输入阻抗**、**小电容值**、高带宽的有源探头和高带宽的示波器；

- 4) 示波器的**带宽**：描述了示波器固有的上升时间（即时延）。探头和示波器的带宽要超过信号带宽的3~5倍以上；
- 5) 示波器的**采样速率**：表示为样点数每秒（S/s），指数字示波器对信号采样的频率。为了准确再现信号，根据香农（Shannon）定律，示波器的采样速率至少需为信号最高频率成分的2倍；
- 6) 量程应尽量小，波形尽量展开，以方便观察波形变化的细节，并准确测量其幅值；
- 7) 测量信号边沿时，应选用合适的边沿触发；
- 8) 高档示波器都具有**毛刺捕捉模式**，可以用于捕捉毛刺；
- 9) Tek示波器提供了InstaVu功能，用于发现信号异常，数据信号眼图异常及高电平低电平毛刺，测量眼图，毛刺、纹波等瞬间变化的波形；

4.4 探头选择与使用要求

- 1) 不允许在探头还连接着被测试电路时插拔探头；
- 2) 有源探头和差分探头、电流探头等是很昂贵的设备，注意保护。插拔探头时必须先关示波器。无源探头一般没有硬性规定，但是出于可靠考虑，**建议所有探头都不能热拔插，拔插任何探头时都必须先关闭示波器**；
- 3) 探头地线只能接电路板上的地线，不可以搭接在电路板的正、负电源端。否则，可能会造成电路板器件损坏，甚至会烧坏探头的小夹子和探头本身；
- 4) **探头电容**越小，它对电路的负载就越小，测试结果就更精确。选用时请根据实际情况仔细考虑；
- 5) 探头是有测量幅度的，不要用于测大信号，以免造成探头损坏。例如：信号幅度超过 $\pm 40\text{V}$ 时，用有源探头P6245和P6243测量会造成探头的损坏；
- 6) 差分探头能够测量的差分电压范围是有限的。例如，差分探头P6247，其上的开关打在 $\div 10$ 档位时，能测的差分电压范围是 $\pm 8.5\text{V}$ ，打在 $\div 1$ 档位时只有 $\pm 850\text{mV}$ 。差分信号峰值超过 850mV 时（比如测公司常用的平衡线传输信号 $\pm 5\text{V}$ ），要注意选用 $\div 10$ 档，否则会因输入过大而使显示的波形发生错误；

- 7) 使用电流探头需先校准。每测试一个信号都需要校准一次；
- 8) 使用时，探针尽量垂直于测试表面。但不可用力按压，以免探针受损；

4.5 测试点的选择

- 1) 一般只测试单板接收到的信号，不测试发送的信号；
- 2) 信号质量测试点要求在信号在末端测量（根据当前信号流向决定测试点）。尽量在芯片的输入管脚上测量，或者尽量靠近输入管脚；
- 3) 很多信号在单板上会经过多级匹配、驱动，对此类输入信号的测试点应选在匹配之后，芯片输入端。建议各级驱动芯片的输入端都测量；
- 4) 对于同一个信号在不同的拓朴点上的情况（例如星形拓扑），其信号质量差异很大，故一般要求所有输入点的信号质量必须进行测试；
- 5) 测试信号应就近接地，越近越好，以减少接地环路面积；

[注]选择测试点，还有一些非通用原则，参考[第6节信号质量测试方法](#)里详细说明。

5 信号质量测试通用标准



本规范针对绝大多数情况拟定，不做大而全的考虑，因此可能并没有包括某些特殊信号。另外有些指标需要在研发实践中进一步修定！

5.1 信号电平简述：

信号质量涉及到的几个概念：

波形周期 对于重复性的波形，相邻两个重复波形间的间隔时间，定义为波形周期，其倒数为波形频率。

波形宽度 波形电压上升到波形幅度的50%起到波形电压下降到波形幅度的50%止的时间。

上升时间	波形电压从波形幅度的10%上升到90%所需要的时间。
下降时间	波形电压从波形幅度的90%下降到10%所需要的时间。
占空比	指波形宽度占周期的比例，例如方波的占空比为50%。
高电平	为一个阈值，当信号电平超过此值时，会被认为高，也就是‘1’，在应用中，有输入输出之分。
低电平	为一个阈值，当信号电平低过此值时，会被认为低，也就是‘0’，在应用中也有输入输出之分。
输入高电平 (V_{IH})	保证逻辑门的输入为高电平时所允许的最小输入高电平，当输入电平高于 V_{IH} 时，则认为输入电平为高电平。
输入低电平 (V_{IL})	保证逻辑门的输入为低电平时所允许的最大输入低电平，当输入电平低于 V_{IL} 时，则认为输入电平为低电平。
输出高电平 (V_{OH})	保证逻辑门的输出为高电平时的输出电平的最小值，逻辑门的输出为高电平时的电平值都必须大于此 V_{OH} 。
输出低电平 (V_{OL})	保证逻辑门的输出为低电平时的输出电平的最大值，逻辑门的输出为低电平时的电平值都必须小于此 V_{OL} 。
阈值电平 (V_T)	数字电路芯片都存在一个阈值电平，就是电路刚刚勉强能翻转作时的电平。它是一个介于 V_{IL} 、 V_{IH} 之间的电压值。对于CMOS电路的阈值电平，基本上是二分之一的电源电压值。但要保证稳定的输出，则必须要求输入高电平 $> V_{IH}$ ，输入低电平 $< V_{IL}$ ，而如果输入电平在阈值上下，也就是 $V_{IL} \sim V_{IH}$ 这个区域，电路的输出会处于不稳定状态。

[注] 对于一般的逻辑电平，以上参数的关系如下： $V_{OH} > V_{IH} > V_T > V_{IL} > V_{OL}$ 。

5.2 合格标准

表 1. 电平信号高低电平合格标准（单位 V）

信号类型	VCC	V_{OH}	V_{IH}	V_T	V_{IL}	V_{OL}
TTL、ABT	5	2.4	2	1.5	0.8	0.4
LVTTL、LVT、LVC、ALVC、LV	3.3	2.4	2	1.5	0.8	0.4

CMOS	5	4.4	3.5	2.5	0.5	0.5
LVC MOS	3.3/2.5	2.4/2.0	2.0/1.7	1.5/1.2	0.8/0.7	0.2/0.2
LVDS		1.475	2.4	1.2	0	0.925
CML	1.5/1.8	1.5/1.8	1.9	1.6	1.3	1.0/1.3
ECL/LVECL	0	-0.88	-1.24	-1.3	-1.36	-1.72
PECL	5	4.2	3.9	3.7	3.52	3.05
LVPECL	3.3	2.42	2.06	2.00	1.94	1.58
GTL	——	1.2	0.9	0.8	0.75	0.4
GTL+	——	1.5	1.1	1	0.95	0.4
ETL	5	2.4	1.6	1.5	1.4	0.4
BTL (低电平为 1V)	——	2.1	1.6	1.55	1.47	1.1
HSTL-I、II ^[1]	1.5	1.3	0.85	0.75	0.65	0.4
HSTL-III、IV	1.5	1.3	1	0.9	0.8	0.4
SSTL 2-I、II ^[2]	2.5	2.3	1.43	1.25	1.07	0.2
SSTL 3-I、II	3.3	3.1	1.7	1.5	1.3	0.2

表 2. 过冲毛刺合格标准 (单位 V)

信号类型	正向过冲	负向过冲	正向回冲	负向回冲	正向毛刺	负向毛刺	实测 V_{IH} 要求	实测 V_{IL} 要求
PECL	<0.2	<0.2	>3.87	<3.52	<3.52	>3.87	>3.87	<3.52
TTL	<1	<1	>2.4	<0.8	<0.8	>2.4	>3	<0.6
LVTTL (3V)	<1	<0.6	>2.4	<0.8	<0.8	>2.4	>2.8	<0.6
CMOS	<1	<1	>3.5	<1.5	<1.5	<3.5	>3.5	<1
GTL+	<0.4	<0.4	>1.2	<0.3	<0.3	>1.2	>1.4	<0.4
GTL	<0.3	<0.3	>0.95	<0.25	<0.25	>0.95	>1.15	<0.3

[小结] 从上表中可以看出：

- ① 正向回冲和毛刺应大于 V_{OH} ，负向回冲和毛刺应小于 V_{IL} 。也就是保证过冲和毛刺不被误判断为有效信号；

^[1] 在 HSTL 标准中，根据输出缓冲特性的不同，HSTL 被分为四种类型。其中第 1、3、4 类为并行终端负载，第 2 类为串行终端负载。另外根据 EIA/JESD8-6 的规定，HSTL-II、HSTL-III 和 HSTL-IV 的 V_T 是可选的， V_T 的变化会影响 V_{IH} 和 V_{IL} ；

^[2] SSTL 标准专门针对高速内存 (特别是 SDRAM) 接口。目前存在两种 SSTL 的标准。SSTL_3 是 3.3V 标准，SSTL_2 是 2.5V 标准。针对这两个标准，JEDEC (Joint Electron Device Engineering Council, 电子元件工业联合会。是由生产厂商们制定的国际性协议，主要为计算机内存制定标准) 根据输出缓冲器的特点定义出多个不同的等级，常见的有 I 级和 II 级。

- ② 正向过冲和负向过冲在器件absolute maximum rating 基础上略有放宽。



过冲
与
Absolute
Maximum
Rating

我们注意到芯片资料中常规定absolute maximum rating的要求，例如LVTH16245 的器件资料规定其 V_I （直流输入电压）的范围 $-0.5 \sim +7.0V$ 。当管脚电压范围长期超过器件的absolute maximum rating时，器件很容易失效（器件资料里常提到：Absolute Maximum continuous ratings are those values beyond which damage to the device may occur.）。对于我们调试、测试过程中常遇到的时钟信号过冲，一般是处在时钟信号上升、下降沿上的，不是一直处于超过absolute maximum rating的状态。所以考虑实际情况，我们以上表为依据来评估测试过冲，条件略有放宽。

如果管脚上电压长期为过压、负压，则不应超过absolute maximum rating。

5.3 信号质量测试结果分析注意事项

- 1) 对设计缺陷的窄脉冲（如逻辑设计缺陷）等，不属于信号质量要求范围，而属于设计错误，必须进行更正；
- 2) 参照信号的用途，分析信号质量对单板的影响。

一些情况下差的信号质量不一定会对系统造成影响的，不能单纯参照指标。比如数据、地址线是电平有效信号，并且通常在读写控制信号的上升/下降采样，边沿处信号质量对系统影响不大。因此在选择我们关注的测试指标时要按需求选择。但是也应当指出，边沿处的过冲虽然对系统的功能实现可能没有影响，可是会对器件的寿命造成不良影响。

- 3) 酌情考虑输入信号的过冲对器件的影响，视器件本身的设计，工艺而定。

现在的CMOS工艺的输入电平可达 $0 \sim 7V$ ，所以高电平过冲对器件的影响较小，主要应该关注低电平过冲。器件功能出现异常可能不仅与低电平过冲的幅度有关，还与低电平过冲的时间宽度有关。对CMOS器件尤其要注意其低电平过冲的影响，可能造成闩锁现象。对于不同的器件，对低电平要求应符合厂家规定的absolute maximum rating 的要求。

- 4) 信号波形不标准时可能是该信号处于三态，或单板在此时并不使用该信号，对此类信号要注意分析此信号是否为有效期间，如果在无效期间可视其为正常信号。

6 信号质量测试方法

6.1 电源信号质量测试

6.1.1 简述

电源本身有各类参数，在和产品配合使用时必须关注电源在实际工作过程的每一个输出参数是否符合要求。单独的电源参数，以及电源在与产品配合工作时参数是经常不一样的，我们必须在实际应用中，对电源的每一个关键参数进行详细测试，从而保证产品（系统）的正常工作。

这里讨论的是和电源工作时输出信号参数的测试方法和要求。



本小节“电源信号质量测试”不仅仅指电源芯片DC/DC、LDO等，还涉及芯片的电源管脚。

6.1.2 测试项目

- 1) 测试电压值（精度）
- 2) 测试电源噪声/纹波
- 3) 测试电压上下电波形
- 4) 测量缓启动电路参数
- 5) 测试电源电流和冲击电流
- 6) 测试电源告警信号
- 7) 测试冗余电源的均流参数

6.1.3 测试方法

1) 测试电压值（精度）

测试仪器 万用表（或示波器+无源探头）

测试方法 以测试芯片前端的输入电压为例（直流），测试工具：万用表（或示

波器)。用万用表的黑表笔(或示波器探头的接地线)连接被测试电源的地,红表笔(或示波器探头的探针)连接被测试电压。

电压精度需要在单板空载、满载的时候分别进行测试。

测试点

- 1) 电源(DC/DC、LDO等)的电压输出管脚;
- 2) 芯片的电源管脚;

合格标准

一般在标称电压值 $\pm 5\%$ 范围内。根据芯片的电压要求来确定。

注意事项

- 1) 确保数字万用表电池电量充足,否则测量结果有较大误差;
- 2) 不推荐使用示波器测量电压精度,因为会存在偏差。万一要使用示波器测量电压精度,需要设置为直流并且取均方根值;

2) 测试电源噪声/纹波

定义

纹波:是出现在输出端子间的一种与输入频率和开关频率同步的成分,用有效值表示,一般在输出电压的**0.5%以下**;

噪声:是出现在输出端子间的纹波以外的一种高频成分,也用峰-峰(peak to peak)值表示,一般在输出电压的**1%以下**;

纹波噪声:是上述“纹波”、“噪声”二者的合成,用峰-峰(peak to peak)值表示,要求一般在输出电压的**2%以下**。

测试仪器

示波器。推荐用模拟示波器。如果没有模拟示波器,也尽量使用无源探头。

测试方法

1. 采用地线环靠接测量法,即所谓靠接测量。示波器设置带宽(bandwidth)为**20MHz**,直流偏置电压(offset)为上面电压精度测量值。使用带有地线环的探头,将探针直接接触电源管脚,地线环直接接触负输出的管脚。这样从示波器中读出的峰峰值为输出线上的纹波;
2. 把示波器带宽设置成全带宽(Full),测试结果即为纹波噪声值;
3. 纹波和噪声应该是在单板满载、空载时都进行测试。

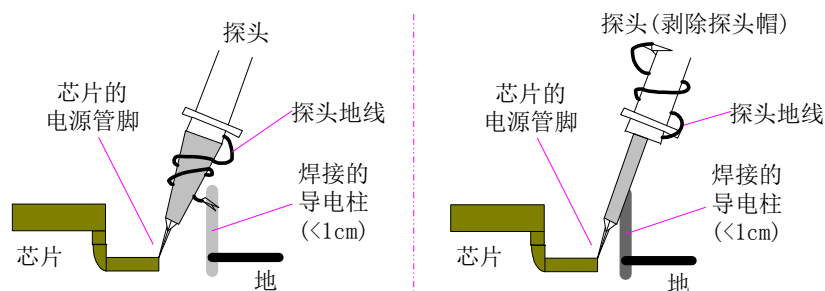


图1 电源纹波噪声的2种测试方法示意图

测试点

电源、芯片的电源管脚。

合格标准

具体合格标准参芯片的要求。中试部给出的合格标准（考虑到我们的测试情况，相对定义略有放宽）：

- 1) 一般要求纹波< 输出电压的1%（在20MHz带宽下测试，结果可视为单纯的纹波）；
- 2) 一般要求纹波噪声< 输出电压的2%（在全带宽下测试，结果可视为纹波+噪声）。

注意事项

- 1) 测量时探头尽量选用无源探头；
- 2) 就近原则，探头地线接离测试电源最近的地。且地环线尽量短；
- 3) 纹波请尽量展开成如下图形，最好纪录其频率，便于分析。

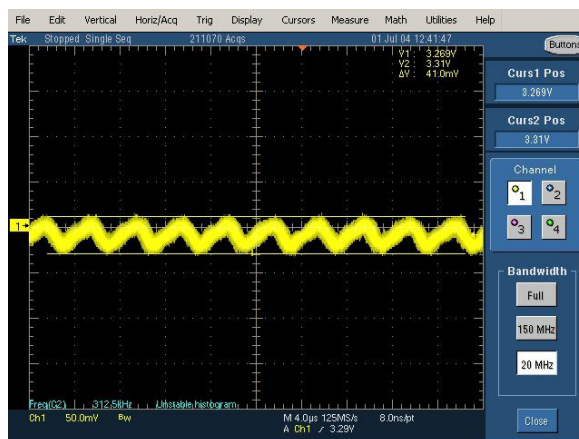


图2 XX芯片3.3V电源纹波测试结果（满载）

3) 测试电压上下电波形

测试仪器

示波器

测试方法

将示波器探头连接到被测电压，示波器设为上升沿或者下降沿触发，然后开关电源，通过示波器观察电源上下电波形。测试时的原则就是选取适当的时间宽度能够在示波器上显示一个完整的上电波形，又要能够将波形问题显示出来。

测试点

通常需要测试下面两种上下电波形：

- 1) 测量芯片的电源管脚上下电波形：芯片的电源管脚；
- 2) 测量单板/系统上下电对其它单板/系统的影响：系统电源。

合格标准

- 1) 在电源输出端测试，电压上下电过冲一般要求不超过被测电压的10%。在芯片前端测试时，可参考电平通用标准；
- 2) 电源上电时电压不得有**很大的跌落**，下电时**不能有很大的反冲和回勾**。（跌落和反冲不能跨越芯片启动工作电压），如出现台阶现象，需注意分析其影响；
- 3) 注意如果有负电压就需要根据芯片要求进行讨论；
- 4) 很多芯片都由多路电源供电（例如外部I/O电压3.3V，内核电压1.8V），这些电压之间可能有上下电顺序要求，参考器件手册评估测试结果是否合格。

注意事项

遍历如下情况：

- 1) 系统上下电；
- 2) 单板拔插；
- 3) 电源板拔插；

4) 测量缓启动电路参数

测试仪器

示波器

测试方法

常用-48V缓启动电路如下图所示。测试时用多踪示波器，一路测试点在缓启动电路前，另一路测试点在缓启动电路之后，然后上电，从示波器观察两个测试点的上电时间差。其它如3.3V缓启动电路测试类似。

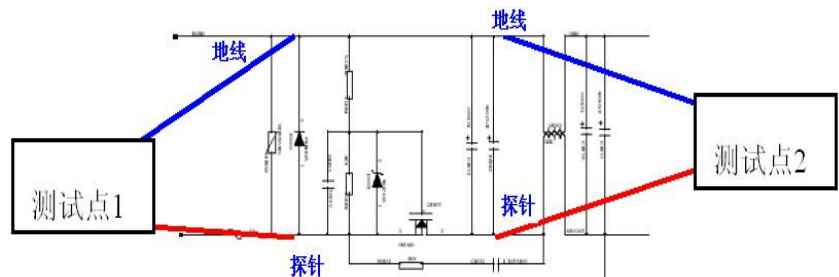


图3 常用-48V缓启动电路测试示意图

测试点

如上图。注意探头的探针和地线不可接反，否则可能测量结果错误，或者造成设备或探头损坏。

合格标准

- 1) 延迟时间: T_{delay} ，一般要求其范围 20 ~ 200ms;
- 2) 上升时间: 对于 T_{rise} ，一般为ms级。要求其范围越小越好，但同时要求冲击电流满足合格标准;
- 3) 没有多次上、下电（振荡上下电）现象;

----- 附录：缓启动电路测试参数说明 -----

下图是某3.3V缓启动电路的测试结果。Ch1（黄色）是从背板输入的3.3V电源信号，Ch2（蓝色）是经过缓启动电路后的3.3V信号。

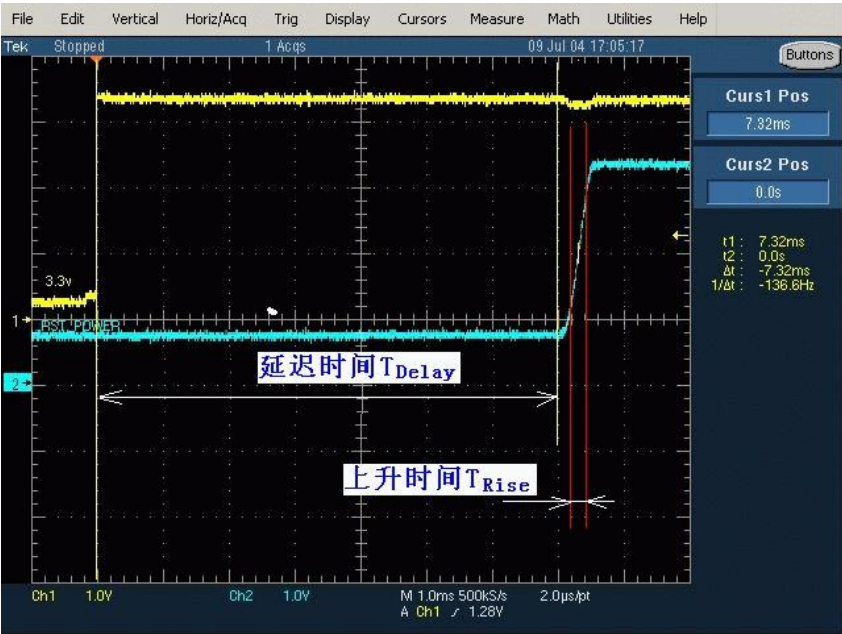


图4 缓启动电路测试参数示意图_上电

上图中，

可以看到整个缓启动时间分为几个部分：

- 1. 延迟时间，即图中的 T_{delay} 。它是背板输入电源有效到缓启动电路有输出的时间差，相当于背板电源输入的延迟;
- 2. 缓启动电路有输出到输出电压升高到10%幅值的时间;
- 3. 上升时间，即图中的 T_{rise} 。它是缓启动电路输出电压从10%上升到90%的时间;
- 4. 输出电压从90%升高到100%的时间;

其中第2、4项的参数可忽略，我们一般只关注 T_{delay} 和 T_{rise} 。

注意事项

遍历如下情况：

- 1) 系统上下电;

- 2) 单板拔插;
- 3) 电源板拔插;

5) 测试电源电流和冲击电流

测试仪器 示波器

测试方法 **电源电流:**

方法一: 用电流探头。将电流探头卡在被测试电流通路上, 通过示波器观察电源上电电流波形和上电后电流的平稳波形。测试时注意电流探头的方向;

方法二: 用钳流计卡在被测试电流通路上进行测试。

冲击电流:

用电流探头, 将电流探头卡在被测试电流通路上, 通过示波器观察电源上电和下电时的电流波形。注意电流探头的方向, 测试上电冲击电流最好在冷机时测试, 冲击电流最大。测试下电冲击电流最好在单板满载时进行。

测试点 取下单板(从背板)引入电源链路上串接的保险管, 用粗短导线代替, 电流探头或者钳流计测量此导线上的电流。

合格标准

- 1) 电源电流稳定值不能超过90%最大额定输出电流;
- 2) 冲击电流值不能超过额定输出电流的5倍。3倍以上应引起注意;
- 3) 单板任何业务情况下的电流一定要大于电源的最小负载, 且须满足最大容性负载要求;
- 4) 保险管规格的选择和冲击电流的关系。如果冲击电流为保险丝的额定电流的5—10倍, 则就要观察冲击电流的时间宽度, 保险丝为快速熔断型, 那么冲击电流的宽度不能超过几十毫秒; 若为慢速熔断型, 那么那么冲击电流的宽度不能超过几百毫秒。

注意事项

1. 冲击电流的测试应遍历如下情况:
 - 1) 系统上下电;
 - 2) 单板拔插;
 - 3) 电源板拔插;

2. 冲击电流测试中，如果链路上有感性器件（电感等），则不可贪图方便，取下感性器件后用粗短导线代替，再用电流探头或者钳流计测量此导线上的电流。因为感性器件本身具有抑制冲击电流的作用，此方法只适合测量静态电流。测试冲击电流时，可以撬起感性器件后端，再连接到粗短导线测量。如下所示。

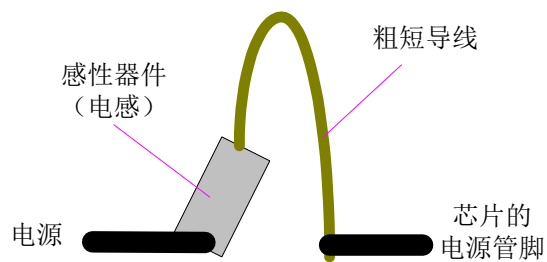


图5 测量冲击电流时，链路上有感性器件的测试方法

6) 电源告警信号

- 测试方法：** 用示波器或者数字万用表链接告警信号点，使系统产生告警条件，测试告警信号的电平大小；
- 测试点：** 告警信号的接收末端；
- 合格标准：** 满足本文档[第5节信号质量测试通用标准](#)中的相应标准。如告警信号类型不在此节包含之列，则应符合电源规格上告警信号电平的要求。

7) 测试冗余电源的均流参数

- 测试方法：** 用测试**电源输出电流**的方法测试冗余电源的每路电流的输出值，比较每路输出电流的大小；
- 测试点：** 冗余电源的每路电流输出链路；
- 合格标准：** 系统电源，其冗余电源（均流）的各路电流输出值**不相差 $\pm 10\%$ 为合格**。

6.2 时钟信号质量测试



- 1、建议时钟信号质量测试与时序测试一起进行；
- 2、测试时钟时应选择高输入阻抗、小电容值、高带宽的有源探头。

注意事项 无源探头容抗较大，测出波形的边沿会失真。

6.2.1 简述

时钟在通信设备中起着特别重要的作用，而时钟信号的质量往往直接影响着产品的性能指标，甚至影响到产品的基本功能能否实现。在硬件测试中，要特别注意时钟信号质量的测试，这对产品的硬件设计质量提高有着很大的意义。

产品硬件设计中，最常用的是石英晶体振荡器，也就是晶振。本文档涉及的时钟信号仅指晶振输出的时钟信号，以及这些时钟信号经过驱动、倍频、分频等处理后得到的时钟信号。

6.2.2测试方法

- 1) 时钟信号质量的测试工具主要是示波器，根据所测试的时钟的频率选择适当的示波器进行测试；
- 2) 时钟频率**精度**的测试主要采用高精度的 **频率计** 进行测试，并记录好数据；
- 3) 时钟频率的**稳定度**测试主要是利用专门的稳定性极高的 **频率计** 进行的，主要适用于基准时钟。

6.2.3 测试指标与合格标准

- 1) 边沿单调性和上升/下降时间；
 - 通用时钟信号规范（满足[第5节信号质量测试通用标准](#)的前提下）

表 3. 通用时钟信号规范

信号类型	占空比	上升单调性	下降单调性	抖动特性
------	-----	-------	-------	------

PECL	如无特殊要求（例如因为时序配合关系需要调节占空比），建议： 40%~60%；	必须单调	必须单调	对于存在指标规定的信号，应满足指标；没有指标规定或者无法明确界定的情况下，应满足可靠性要求
TTL		必须单调	必须单调	
LVTTL（3V）		必须单调	必须单调	
CMOS		必须单调	必须单调	
GTL+		必须单调	必须单调	
CML		必须单调	必须单调	

➤ 77M时钟信号质量（满足表3的前提下）

表 4. 77M 时钟信号质量

信号类型	上升时间	下降时间
TTL	<2.5ns	<2.5ns
LVTTL(3V)	<2.5ns	<2.5ns
CMOS	<2.5ns	<2.5ns
GTL+	<2.5ns	<2.5ns

➤ 38M时钟信号质量（满足表3的前提下）

表 5. 38M 时钟信号质量

信号类型	上升时间	下降时间
TTL	<4ns	<4ns
LVTTL(3V)	<4ns	<4ns
CMOS	<4ns	<4ns
GTL+	<4ns	<4ns

➤ 19M时钟信号质量（满足表3的前提下）

表 6. 19M 时钟信号质量

信号类型	上升时间	下降时间
TTL	<4ns	<4ns
LVTTL(3V)	<4ns	<4ns
CMOS	<4ns	<4ns

2) 高电平过冲和低电平过冲；

合格标准： 满足[第5节信号质量测试通用标准](#)表2所列要求；

3) 最低高电平和最高低电平;

合格标准: 满足[第5节信号质量测试通用标准](#)表1所列要求;

4) 毛刺;

合格标准: 满足[第5节信号质量测试通用标准](#)表2所列要求;

5) 时钟频率精度。

定义: 在规定的时间内相对频偏的最大幅度。频率精度包括初始频率失调和任何老化和环境下的影响。

合格标准: 根据需求规格要求来确定。一般要求 $\pm 50\text{ppm}$ 。

6.2.4 注意事项

时钟信号的[边沿单调性要求非常严格](#)，一般情况下高速时钟多为点到点驱动，少数也有1: N驱动的情况。

时钟是单向信号，**测试点必须选择在终端**。对于**1: N的情况必须对每一个终端负载进行测试**，观察是否有反射和回勾产生。原则上要保证时钟信号上升沿和下降沿的单调性，如果出现回勾现象，一定要在满负载和最高最低输入电压等极限情况下做更详尽的测试，保证回勾不能落在电平不稳定区域。

时钟的串扰主要是测试时钟信号受外界电压干扰，或不同频率信号叠加在时钟信号上，造成数据采样错误或单板功能不能正常实现。测试的时候应该在帧同步信号的触发下，测试整个周期内的波形。

6.3 复位信号质量测试

6.3.1 简述

单板复位电路设计是嵌入式控制系统中普遍采用的抗干扰措施，用于保证系统或电路在受到干扰的情况下，能够自动进行复位，从软、硬件错误中恢复正常的运行。目前实现WDT复位电路的形式有很多，如某些CPU或其它器件内部也有自带的WDT复位电路，另外，还有纯软件的WDT，使用专用复位芯片的WDT。

因复位电路是保证系统从崩溃中恢复的最后手段。故对复位信号的质量测试显得格外重要。对复位的触发信号，计数器的溢出信号以及复位信号均需进行测试。

6.3.2 测试方法

- 1) 测试单板复位信号的复位脉宽时，对低电平复位有效的信号，取下降沿触发，示波器时间刻度取100ms左右；对于上电复位信号，取最后上电的电源信号作参考，与复位信号一起测试；
- 2) 测试“/MR”信号时，分两种情况：在按键复位时，须观察“/MR”信号是否出现较长时间的负脉冲，这时取时间刻度为100ns，下降沿触发；在计数器溢出时，须观察“/MR”信号是否满足输入低电平及低电平脉宽的要求，这时取时间刻度为4us左右，下降沿触发。垂直刻度一般取1V。
- 3) 测试WDI信号时，取时间刻度为1s，注意观察“WDI”的脉宽是否满足计数器清零要求。
- 4) 测试“/WDO”信号时，测试时可通过使计数器溢出或3.3V拉偏进行测试，时间宽度也相应取窄一些。

6.3.3 测试项目与合格标准

- 1) 测试单板上所有芯片的复位信号质量，包括信号脉宽、电压幅度、过冲、毛刺等；

测试方法： 后台复位（下复位命令）测试

合格标准： 1) 复位信号脉宽。复位信号的复位脉宽应满足芯片要求，一般要求复位脉宽应>200ms；

2) 复位信号电压幅度、过冲、毛刺等。满足[第5节信号质量测试通用标准](#)表1、表2 要求。

2) 测量复位芯片输入电压（使用复位芯片实现的复位电路）；

测试点： 芯片的复位输入管脚。

测试方法： 纪录2个值：

1) 复位信号的脉冲宽度和电平幅度。示波器的时间刻度设为ms级。

2) 测量复位信号上升沿（指低电平有效的复位信号）的质量。示波器的时间刻度设为ns级。在某些情况下复位信号的上升沿可能产出回沟、振铃、毛刺，不是ns级不一定看得出来。

合格标准： 复位芯片输入电压须满足复位芯片电压要求，以免出现复位芯片的低电压自动复位，应无毛刺，幅值须达到 $3.3V \pm 5\%$ 要求；

3) 测量“/MR”信号（使用复位芯片实现的复位电路）；

测试方法： 1) 手动按键复位；

2) 模拟WDT计数器溢出；

合格标准： 1) “/MR”信号宽度：低电平脉宽 $> 500ns$ ；

2) “/MR”信号质量：低电平 $<0.6V$ ，其它满足[第5节信号质量测试通用标准](#)表1、表2 要求。

4) 测量WDI及/WDO信号质量（使用复位芯片实现的复位电路）；

合格标准： 1) “WDI”信号：

➤ 信号宽度：输入脉宽 $> 100ns$ （这个管脚上的脉冲上升沿或者下降沿都会使内部的看门狗定时器计数清零）；

➤ 信号质量：低电平 $<0.6V$ ，高电平 $> 2.31V$ 。其它满足[第5节信号质量测试通用标准](#)表1、表2 要求；

➤ 周期 $< 1s$ （WDT的溢出周期典型值1.6s，最小值1s）。

2) “WDO”信号：满足[第5节信号质量测试通用标准](#)表1、表2 要求；

6.3.4注意事项

- 1) 手动复位时的复位脉宽因人为因素较为明显，可以不测，主要关注其复位电平是否满足复位逻辑电平要求。
- 2) 测试复位信号质量，对手动复位、后台复位、热插拔及上电各种情况均应用示波器观察复位信号质量。
- 3) 某些单板其WDI信号脉宽很窄，当选用时间刻度在1s时，可能看不到喂狗信号，注意调整时间刻度。

6.3.5 测试示例

针对以下电路，测试复位电路的重要信号。

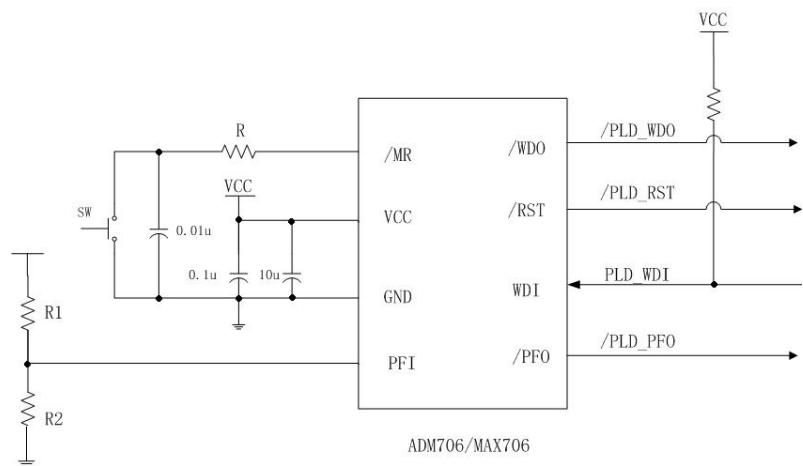


图6 常见复位电路

测试项目	复位信号质量测试
测试目的	测试单板所有复位信号以及与复位电路相关的信号，重点检查复位信号电平值是否足够，复位脉冲宽度是否有足够裕度，复位电路相关信号是否满足其电平及脉宽要求。
测试条件	单板上电正常运行
测试仪器	示波器，电压探头
测试过程	ADM706R的输入输出信号质量测试： 1) 看门狗复位时ADM706的“/MR”引脚信号质量；

	2) 按键复位时 “/MR” 引脚信号质量; 3) 计数器溢出时复位信号质量; 4) “WDI” 信号质量; 5) 计数器溢出 “/WDO” 信号与 “/MR” 信号质量; 6) 上电复位信号质量测试; 7) ADM706R 输出的/RST的信号质量, 复位信号经逻辑驱动处理后分别送给本板的其他芯片, 可同时在芯片侧进行测试;								
应达到的要求、指标和预期结果	复位信号电平必须满足芯片复位信号的电平值要求; 复位脉冲宽度必须远大于芯片手册对复位脉冲宽度的要求; /MR信号质量应满足手册要求。								
相关测试用例、其它说明和注意事项	看门狗溢出可以用短接CPU数据、地址总线的方式模拟。								
实测结果	记录如下波形并分析是否合格: <table><tr><td>上电复位: /MR与复位信号</td><td>按键复位时: /MR与复位信号</td></tr><tr><td>计数器溢出: /MR与复位信号</td><td>后台复位: /MR与复位信号</td></tr><tr><td>正常情况: WDI与WDO信号</td><td>计数器溢出: WDI与WDO信号</td></tr><tr><td>按键复位: XX芯片的复位信号</td><td>后台复位: XX芯片的复位信号</td></tr></table>	上电复位: /MR与复位信号	按键复位时: /MR与复位信号	计数器溢出: /MR与复位信号	后台复位: /MR与复位信号	正常情况: WDI与WDO信号	计数器溢出: WDI与WDO信号	按键复位: XX芯片的复位信号	后台复位: XX芯片的复位信号
上电复位: /MR与复位信号	按键复位时: /MR与复位信号								
计数器溢出: /MR与复位信号	后台复位: /MR与复位信号								
正常情况: WDI与WDO信号	计数器溢出: WDI与WDO信号								
按键复位: XX芯片的复位信号	后台复位: XX芯片的复位信号								

6.4 数据、地址信号质量测试

6.4.1 简述

数据、地址总线是单板上最常见的总线。它们一般位于芯片的CPU接口。CPU通过地址总线进行寻址，通过数据总线与其它芯片进行数据交换。另外，还有一些芯片有专门用于业务处理的数据总线。数据总线的总线宽度决定了芯片之间一次数据传输的信息量。

我们单板上芯片的初始化配置、运行情况监控都会用到芯片的CPU接口，相应的业务处理会用到芯片的业务数据总线。因此地址、数据等总线一旦出错就会导致配置信息或者监控信息错误，或者导致业务中断、误码，所以对数据地址信号的质量测试是比较重要的。

对数据、地址信号的测量，需要满足一般的信号质量测试规范要求，此外读写时序也需要测试。测试读写信号时序还需要考虑各建立、保持时间的容限是否足够。

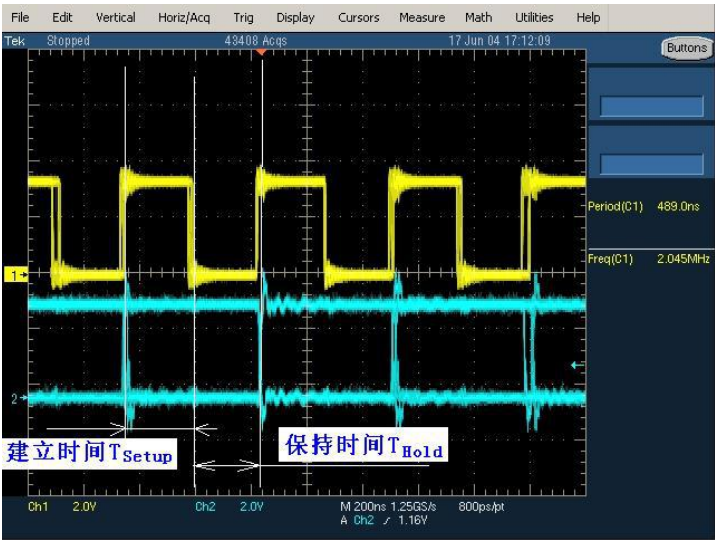
当数据、地址总线出错导致程序跑飞时，可能会启动相应的复位处理。

6.4.2 测试方法

- 1) 信号质量和时序测试直接使用示波器测量。示波器通道数 ≥ 2 ，尽量选用有FastAcq（快速捕捉）或者长余辉显示功能的示波器；

使用方法： 测试数据的建立时间和保持时间的时候，以时钟源为触发，开启FastAcq 或者长余辉显示功能，记录波形。

一般会如图所示。图中Ch1（黄色）为时钟信号，Ch2（蓝色）为数据信号。这里是利用时钟的下降沿采样数据，与常用的时钟的上升沿采样相反。



[注] 上面测试方法适合时钟是周期性波形的情况，如果时钟是非周期的，那么不能使用FastAcq （快速捕捉）或者长余辉显示功能。

2) 时序的容限对照芯片手册确认。部分时序关系也可以直接在原理图设计阶段审查确认；

6.4.3 测试项目

3) 测试单板所有芯片的数据、地址总线的信号质量；

合格标准： 数据、地址信号质量满足[第5节信号质量测试通用标准](#)表1、表2要求。没有很大的毛刺、过冲、振铃，信号边沿没有很缓慢；

4) 测试单板芯片的读写信号时序；

合格标准： 时序关系满足芯片手册要求，并且留有较大的裕度。一般来讲，时钟沿处在数据中间位置是比较合适的；

5) 测试单板芯片的业务数据信号时序关系，包括数据的建立保持时间；

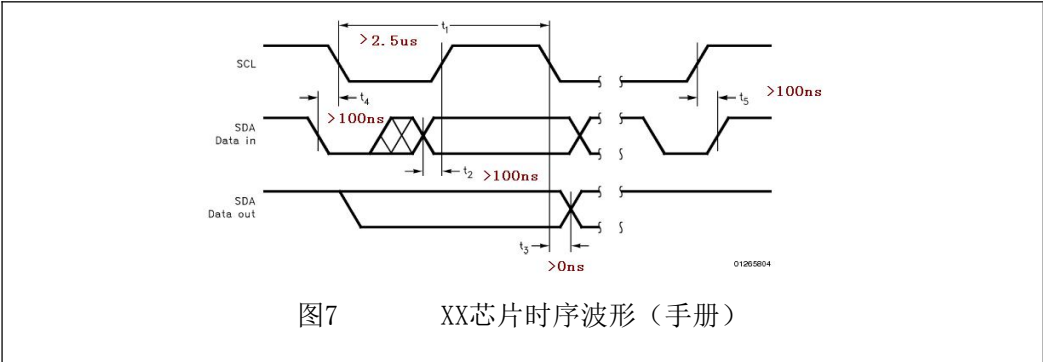
合格标准： 同上。参考芯片手册要求。

6.4.4 测试示例：

测试目的	测量XX芯片时序是否正确
------	--------------

测试条件	单板工作正常，室温
测试仪器	示波器
测试方法	使用示波器测量，直接读取数据
测试过程	单板上U49的pin1、pin2信号用飞线引出，接到示波器探头上，记录波形。它们分别是I2C总线的数据和时钟信号。
检查点、应达到的要求、指标和预期结果	读写时序满足芯片手册要求
相关测试用例、其它说明和注意事项：	温度芯片（U49）、实时时钟芯片（U48）等挂在同一个I2C总线上。

实测结果：（是否OK？）。



实测图1： t1参数		实测图2： t2参数	
分析：			
参数	手册要求	测试值	结论
t1	>2.5us	3.2us	OK
t2	>100ns	960ns	OK
t3	>0ns	900ns	OK
t4	>100ns	2us	OK
t5	>100ns	900ns	OK
结论： OK			

6.5 差分信号质量测试

6.5.1 简述

所谓差分信号，就是驱动端发送两个等值、反相的信号，接收端通过比较这两个电压的差值来判断逻辑状态“0”还是“1”。而承载差分信号的那一对走线就称为差分走线。差分信号和普通的单端信号走线相比，最明显的优势体现在以下三个方面：

1. 抗干扰能力强，因为两根差分走线之间的耦合很好，当外界存在噪声干扰时，几乎是同时被耦合到两条线上，而接收端关心的只是两信号的差值，所以外界的共模噪声可以被完全抵消；
2. 能有效抑制EMI，同样的道理，由于两根信号的极性相反，他们对外辐射的电磁场可以相互抵消，耦合的越紧密，泄放到外界的电磁能量越少；
3. 时序定位精确，由于差分信号的开关变化是位于两个信号的交点，而不像普通单端信号依靠高低两个阈值电压判断，因而受工艺，温度的影响小，能降低时序上的误差，同时也更适合于低幅度信号的电路。

目前流行的 LVDS 就是指这种小振幅差分信号技术，其它电平比如ECL/PECL/ LVPECL 和RS-422/485也都是差分输入输出。

6.5.2 测试项目

- 1) 发射器电参数。测试电发射器的各项特性，包括差分幅度、上升和下降时间、波形过冲、输出/输入偏置电压（LVDS）；
- 2) 接收器电参数。测试最大输入电压和灵敏度；
- 3) 眼图测试：上升、下降时间、周期、脉冲过冲及振荡。

6.5.3 测试方法

- 1) 差分信号的模拟带宽取决于信号的边沿时间，不等于信号的比特速率，一般都比信号的比特速率高的多，比如**622Mbps的信号**的带宽可能高达**1GHz**。所以选择示

- 2) 应该尽量采用差分探头，如TEK公司的P6247等。如果没有差分探头，可以考虑使用两个单端探头，如TEK公司的P6245等；
- 3) 对于差分信号，可以采用眼图测试的方式来观察信号的质量，眼图张开的宽度决定了接收波形可以不受串扰影响而抽样再生的时间间隔。显然，最佳抽样时刻应选在眼睛张开最大的时刻。眼图斜边的斜率，表示系统对定时抖动（或误差）的灵敏度，斜边越陡，系统对定时抖动越敏感。眼图左（右）角阴影部分的水平宽度表示信号零点的变化范围，称为零点失真量，在许多接收设备中，定时信息是由信号零点位置来提取的，对于这种设备零点失真量很重要。在抽样时刻，阴影区的垂直宽度表示最大信号失真量。在抽样时刻上、下两阴影区间隔的一半是最小噪声容限，噪声瞬时值超过它就有可能发生错误判决；图中水平方向上虚线位置对应的电压为判决门限电平。

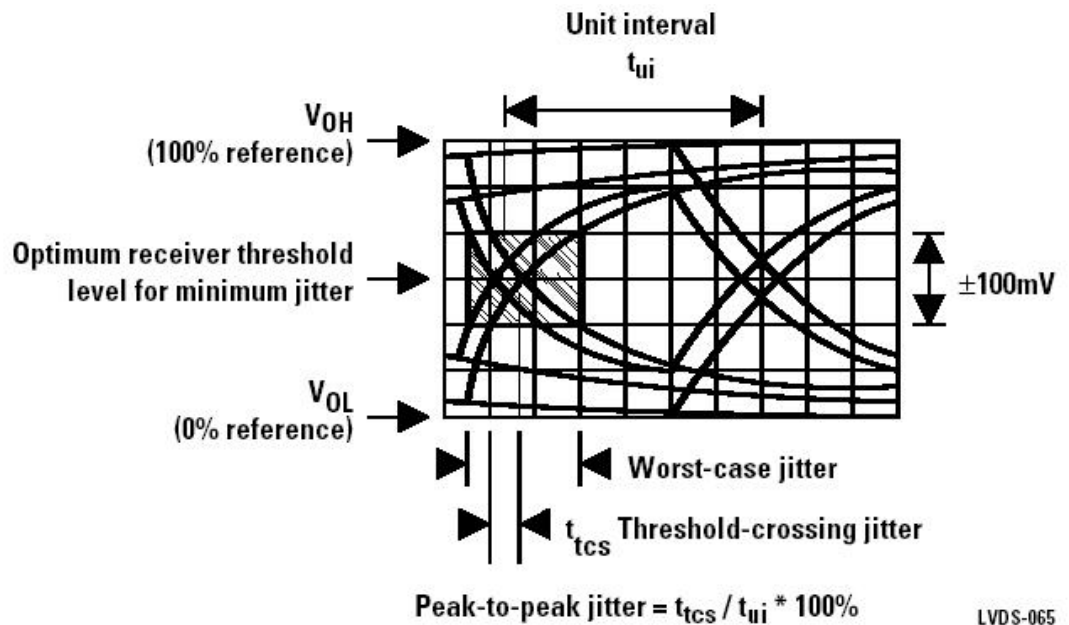


Figure 7.2. NRZ data eye pattern

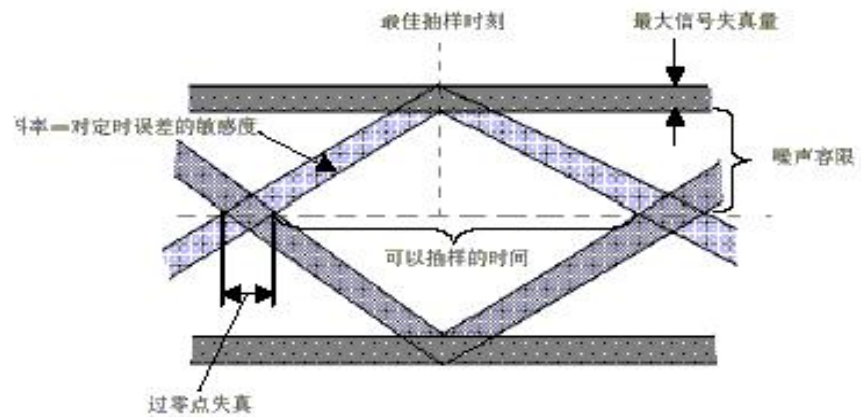
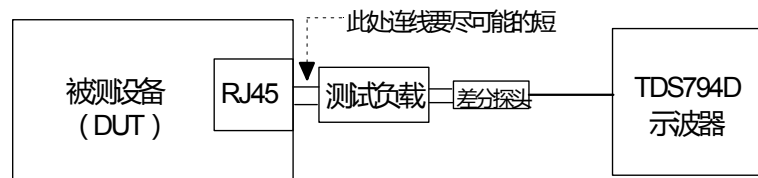


图 7.6 眼图的一般描述

4) 以太网的测试电路如下：



100Base-T接口指标测试组网图

5) LVDS测试电路如下：

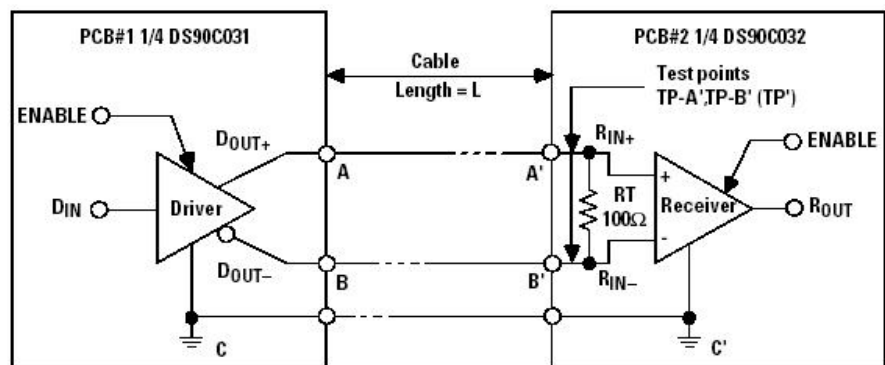


Figure 7.3. LVDS signal quality test circuit

6.5.4 合格标准

- 1) 测试差分信号首先要确定该差分信号的电平是哪一种，根据实际测试结果判断输入输出差分电压、输出上升时间、偏置电压等是否满足信号特性。

LVDS信号输入输出特性				
参数	意义	最小值	最大值	单位
VOD	差分输出电压	247	454	mV
VOS	输出偏置电压	1.125	1.375	V
Δ VOD	VOD变化量绝对值		50	mV
Δ VOS	VOS变化量绝对值		50	mV
ISA,ISB	短路电流		24	mA
tr/tr	输出上升时间/下降时间 (≥ 2000 Mbps) 输出上升时间/下降时间 (≤ 2000 Mbps)	0.26 0.26	1.5 脉冲宽度的30%	ns
Iin	输入电流		20	μ A
VTH	阈值电压		± 100	mV
VIN	输入电压范围	0	2.4	V
VIS	输入偏置电压	0.05	2.35	V
参数意义	要求的Min/Max			
差模输出电压+Vout	UTP: +950 mV to +1050 mV STP: +1165mV to +1285mV			
差模输出电压-Vout	UTP: -950 mV to -1050 mV STP: -1165mV to -1285mV			
波形正过冲 Waveform overshoot Positive (Max)	Max = 5% of +Vout			
波形负过冲 Waveform overshoot Negative (Max)	Max = 5% of -Vout			
信号幅度对称度 (Signal amplitude symmetry)	Ratio = 0.98 to 1.02			

上升时间 Rise time	3.0 ns to 5.0 ns
下降时间 Fall time	3.0 ns to 5.0 ns
发送抖动 Transmit Jitter	Max =1.4 ns

EIA RS-422 Specification Summary				
Parameter	Conditions	Min	Max	Units
Driver Output Voltage Open Circuit			10 -10	V V
Driver Output Voltage Loaded	$R_T = 100\ \Omega$	2 -2		V V
Driver Output Resistance	A to B		100	Ω
Driver Output Short-Circuit Current	Per output to common		± 150	mA
Driver Output Rise Time	$R_T = 100\ \Omega$		10	% of Bit Width
Driver Common Mode Voltage	$R_T = 100\ \Omega$		± 3	V
Receiver Sensitivity	$V_{cm} \leq \pm 7$		± 200	mV
Receiver Common-Mode Voltage Range		-7	+7	V
Receiver Input Resistance		4000		Ω
Differential Receiver Voltage	Operational: Withstand:		± 10 ± 12	V V

EIA RS-485 Specification Summary				
Parameter	Conditions	Min	Max	Units
Driver Output Voltage Open Circuit		1.5 -1.5	6 -6	V V
Driver Output Voltage Loaded	$R_{LOAD} = 54\ \Omega$	1.5 -1.5	5 -5	V V
Driver Output Short- Circuit Current	Per output to +12V or -7V		± 250	mA
Driver Output Rise Time	$R_{LOAD} = 54\ \Omega$ $C_{LOAD} = 50\ \text{pF}$		30	% of Bit Width
Driver Common Mode Voltage	$R_{LOAD} = 54\ \Omega$	-1	3	V
Receiver Sensitivity	$-7 \leq V_{cm} \leq +12$		± 200	mV
Receiver Common-Mode Voltage Range		-7	+12	V
Receiver Input Resistance		12K		Ω

- 2) 用示波器+差分探头来观察眼图，测试眼图上“0”穿越点（Zero Crossings）的宽度为抖动峰峰值。对于抖动测试的结果，要符合相应的电平或接口的抖动指标要求（比如LVDS和以太网的抖动要求是不同的）。
- 3) 眼图测试：采样波形数为2000个，没有一个点掉进眼图模板中。

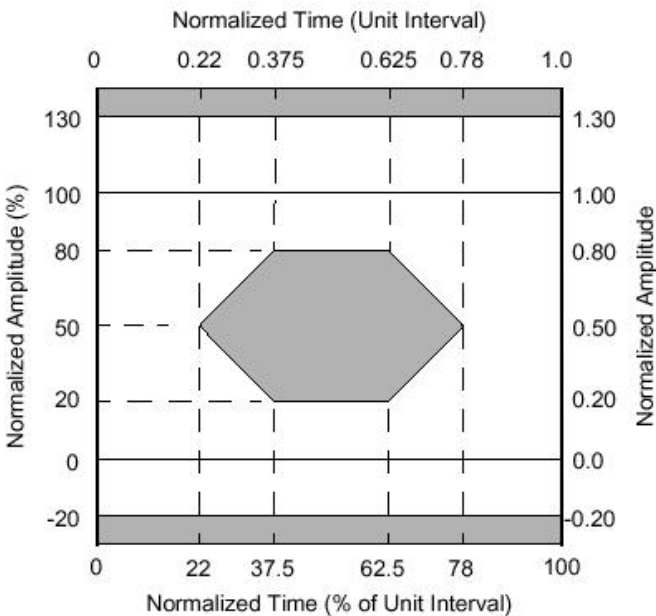


Figure 38-2—Transmitter eye mask definition

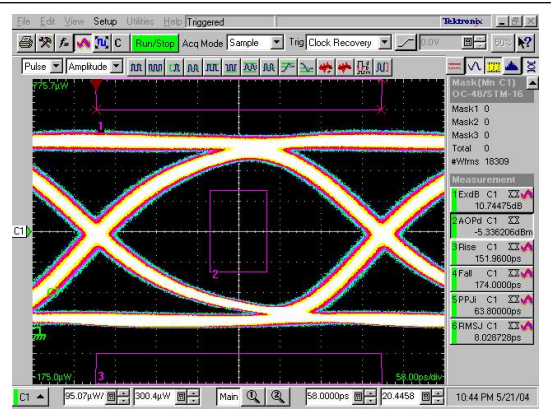
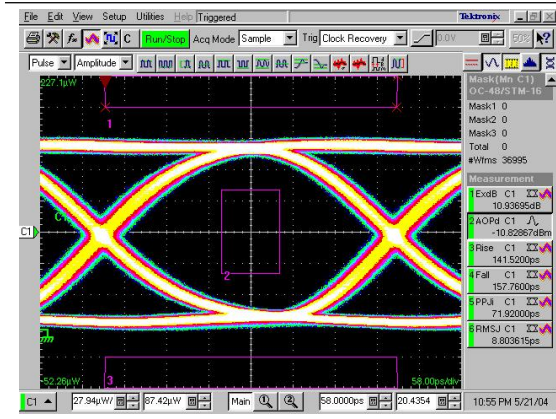
6.5.5注意事项

对于在线测试，要求示波器的探头为高阻输入。由于LVDS信号的速率一般比较高，应当选择寄生电容比较低的示波器探头的型号。

6.5.6测试示例

以下为部分接口信号质量测试波形示例：

1310-2. 5G-2	1310-2. 5G-15
--------------	---------------



6.6 串行信号质量测试

6.6.1 概述

串行信号是指数据以串行的方式进行发送及接收。主要的串行信号有：HW、串口、I2C、USB、SPI等。

- HW
- 串口

所谓串口，即收发数据都是串行的数字接口，异步串口无同步时钟信号，电路相对简单；同步串口含有同步时钟信号，能工作在较高波特率。

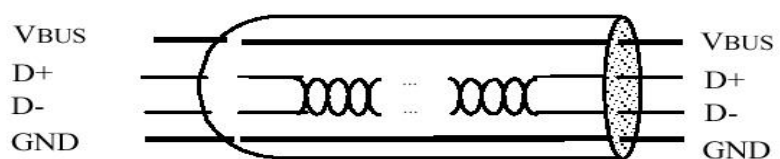
串口主要有：RS232，RS422，RS485，业务接口V. 24，V. 35，以及用于板间互连的TTL串口等。主要有以下几种：

- 用于调试或监控的232串口；
- 用于板间连接的非标准TTL及232串口；
- 用于框间的RS422，RS485串口；
- 作为业务接口的RS232 (V. 24, V. 28), RS422 (V. 11), V. 35接口。

- I²C
- USB

USB：Universal Serial Bus，即通用串行总线，目前有1.1和2.0两个标准，其主要区别表现在传送速率上，目前我们设备上有用到的，常见的是1.1 标准，下面介绍1.1 标准：

USB传送信号和电源是通过一种四线的电缆，存在两种数据传输率：USB的高速信号的比特率定为12Mbps；低速信号传送的模式定为1.5Mbps；



USB接口

电缆中包括VBUS、GND二条线，向设备提供电源。VBUS使用+5V电源。USB对电缆长度的要求很宽，最长可为几米。每个USB单元通过电缆只能提供有限的能源。主机对直接相连的USB设备提供电源供其使用，同时每个USB设备也可以有自己的电源。依靠电缆提供能源的设备称作“总线供电”设备。相反，可选择能源来源的设备称作“自供电”设备。

其中信号的传送采用一对差分线，其逻辑电平如下表。

总线状态	信号电平	
	开始端源连接器	终端目标连接器
差分“1”	$D+ > V_{oh(min)}$	$(D+) - (D-) > 200mv$
	$D- < V_{ol(max)}$	$(D+) > V_{ih(min)}$
差分“0”	$D- > V_{oh(min)}$	$(D+) - (D-) > 200mv$
	$D+ < V_{ol(max)}$	$D- > V_{ih(min)}$

- SPI

6.6.2 测试项目

1) HW

- 信号质量测试，包含逻辑电平、上升时间、下降时间、过冲等；
- 对于E1接口的HDB3码信号测试信号是否符合G.703模板；
- 对于板间或框间传输的LVDS差分信号的测试项同7.5.2。
- 对于高速率的信号需要用眼图，或用长余辉进行长时间观察波形抖动范围。

2) SPI

- 信号质量测试

3) 串口

- 信号质量测试，包含逻辑电平、上升时间、下降时间、过冲等；
- 眼图测试；
- 对于可设置不同波特率的情况下需要重复以上操作。

4) I²C

- 信号质量测试，包含逻辑电平、上升时间、下降时间、过冲等；

5) USB

- 信号质量测试，包含逻辑电平、上升时间、下降时间、过冲等；
- 眼图

6.6.3 测试方法

- 1) 对各串行信号在板内的信号质量的测试方法请参考第6章；
- 2) 对于板间及框间的差分信号的的测试方法请参考“6.5 差分信号质量测试”；
- 3) 对于E1信号，可以用E20表测试波形是否符合G.703模板。E20的使用方法请参看文档《E20使用手册》。正确连接E20表和被测单板的E1口后，选择相应的测试项目，在出现如下图所示的画面时，请选择F1，此时可以测试系统中的E1信号是否满足ITU G.703脉冲模板，看信号波形是否在模板内。正常时E20表会打出“pass”字样。

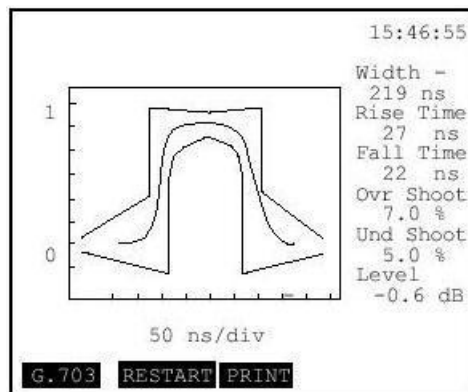


图8 G.703 定义的E1信号测试模板

另外，也可以使用通信信号分析仪测量E1信号是否符合G.703模板。

同样的，对于标准电接口E1/T1、E3/T3、STM-1e，光接口STM-1、STM4，以太网口等的信号，都建议使用通信信号分析仪内的信号模板来测量。



测试时需要注意探头和信号之间的 **阻抗匹配** 问题。

注意事项

例如示波器有源探头的阻抗一般是50Ω，无源探头的阻抗一般是10MΩ，而同轴E1接口的阻抗是75Ω（双绞线接口是120Ω）。所以在测试E1接口时要用75Ω/50Ω的转换器，才能保证测试结果的正确信。

6.6.4 合格标准

1) 串口电气特性：

规定	RS232	RS422	R485
工作方式	单端	差分	差分
节点数	1收、1发	1发10收	1发32收
最大传输电缆长度	50英尺	400英尺	400英尺
最大传输速率	20Kb/S	10Mb/s	10Mb/s
最大驱动输出电压	+/-25V	-0.25V~+6V	-7V~+12V
驱动器输出信号电平 (负载最小值)	负载	+/-5V~+/-15V	+/-2.0V+/-1.5V
驱动器输出信号电平 (空载最大值)	空载	+/-25V	+/-6V+/-6V
驱动器负载阻抗(Ω)	3K~7K	100	54
摆率(最大值)	30V/μs	N/A	N/A
接收器输入电压范围	+/-15V	-10V~+10V	-7V~+12V
接收器输入门限	+/-3V	+/-200mV	+/-200mV
接收器输入电阻(Ω)	3K~7K	4K(最小)	≥12K
驱动器共模电压		-3V~+3V	-1V~+3V
接收器共模电压		-7V~+7V	-7V~+12V

- V24(RS232) 参照EIA/TIA RS-232建议；

对于不平衡双流接口，信号源开路电压 25V，负载阻抗3000~7000Ω。负载电容2500pF。对数据电路，接口点的电压低于-3V时确定为二进制数据“1”，高于+3V时为数据“0”。对于控制和定时接口电路，接口点的电压高于+3V时确定为“ON”，低于-3V时确定为“OFF”状态。+3V和-3V之间规定为跃变区。信号通过跃变区的时间不应超过1ms，或不超过比特码元周期的3%，取二者中较短的时间为限。

- 对于RS422、R485差分信号的补充标准请参看7.5。

2) E1信号

- 2M输出一般要求:

2048kbit/s输出一般要求

表5.1

脉冲形状: 标称脉冲形状为矩形	不管极性如何,所有有效信号脉冲(传号)都应符合图5.1中所给模框图的限制。A值对应于脉冲信号的标称峰值	
每个传输方向的线对	一个同轴线对	一个对称线对
测试负载阻抗	75Ω电阻性	120Ω电阻性
脉冲(传号)的标称峰值电压	2.37V	3V
无脉冲(空号)的峰值电压	0±0.237V	±0.3V
标称脉冲宽度	244ns	
脉冲宽度中点处正负脉冲幅度比	应优于 0.95~1.05	
标称脉冲半幅度处正负脉冲宽度比	应优于 0.95~1.05	

- E1口的信号应符合G.703标准。

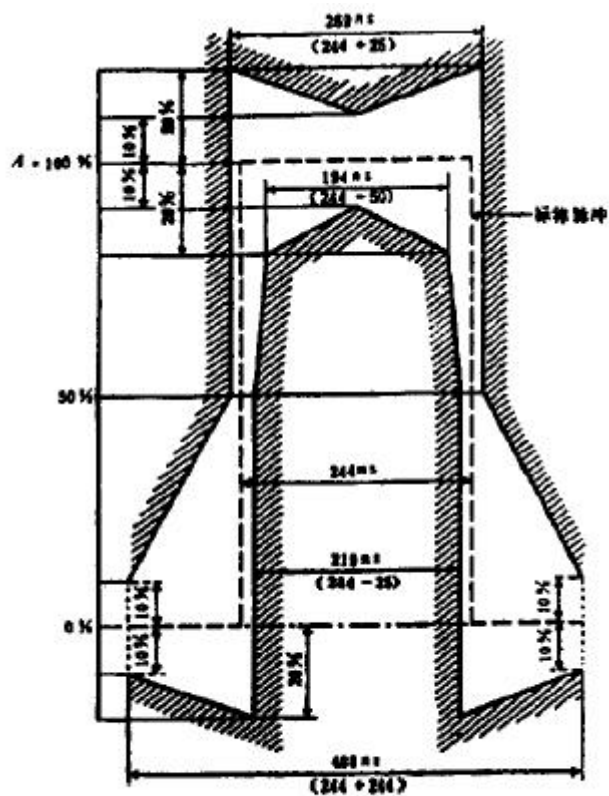


图5.1 2048kbit/s接口脉冲模板

3) 其它板内信号

板内串行信号的信号质量及电平要求，请参照本文档5.2 章节。

4) 其它板间差分信号：

板间及框间的HW、串口信号采用差分方式进行传递的，请参考本文档6.5章节。

7 信号质量测试Checklist

分类	项目	结果
测试条件	1 单板/系统上电正常工作1小时后测试;	Y ☐ N ☐ NA ☐
	2 单板/系统可靠接地;	Y ☐ N ☐ NA ☐
	3 单板/系统尽量工作在满负荷条件下。如果测试项目有轻载、满载限制要求, 则轻载、满载条件下都要测试;	Y ☐ N ☐ NA ☐
	4 测试仪器(仪表)和被测单板或系统共地;	Y ☐ N ☐ NA ☐
	5 测量前校准了仪器;	Y ☐ N ☐ NA ☐
	6 探头和示波器的带宽。超过信号带宽的3~5倍以上;	Y ☐ N ☐ NA ☐
	7 示波器的采样速率。超过信号最高频率成分的2倍;	Y ☐ N ☐ NA ☐
测试操作	1 测试信号应就近接地;	Y ☐ N ☐ NA ☐
	2 测试点选在接收端管脚上测量;	Y ☐ N ☐ NA ☐
	3 没有在探头还连接着被测试电路时插拔探头;	Y ☐ N ☐ NA ☐
	4 拔插任何探头时都先关闭示波器;	Y ☐ N ☐ NA ☐
	5 测量信号没有超过探头测量幅度范围;	Y ☐ N ☐ NA ☐
	6 测试时探针尽量垂直于测试表面;	Y ☐ N ☐ NA ☐
	7 探头地线只接电路板上的地线, 不搭接在电路板的正、负电源端	Y ☐ N ☐ NA ☐
	8 信号经过多级匹配、驱动的, 各级驱动芯片的输入端都测量;	Y ☐ N ☐ NA ☐
	9 信号在不同的拓扑点上的情况(例如星形拓扑), 其信号质量差异很大, 所有输入点的信号质量都测试;	Y ☐ N ☐ NA ☐
电源测试	1 测量电压精度选择用万用表;	Y ☐ N ☐ NA ☐
	2 测量电源纹波用无源探头, 示波器带宽设置20MHz, 偏置为电压精度值。采用靠接测量法;	Y ☐ N ☐ NA ☐
	3 电源纹波测量结果展开成波纹状;	Y ☐ N ☐ NA ☐
	4 上下电测试遍历3种情况: 1) 系统上下电; 2) 单板拔插; 3) 电源板拔插;	Y ☐ N ☐ NA ☐
	5 缓启动电路测试记录Tdelay和Trise;	Y ☐ N ☐ NA ☐
	6 -48V缓启动电路测试时探头地线都接到BGND上;	Y ☐ N ☐ NA ☐
	7 电流测试使用电流探头或者钳流计;	Y ☐ N ☐ NA ☐
	8 使用电流探头需先校准, 每测试一个信号都需要校准一次;	Y ☐ N ☐ NA ☐

	9	冲击电流测试，如果链路上有感性器件（如电感），测试时应保留此类器件；	Y□ N□ NA□
	10	已测试电源告警信号；	Y□ N□ NA□
	11	多电源供电产品，测试均流参数；	Y□ N□ NA□
时钟测试	1	测量时钟信号，选用有源探头；	Y□ N□ NA□
	2	对重要时钟信号，选用频率计测量器频率准确度；	Y□ N□ NA□
复位测试	1	遍历测试各芯片的复位信号；	Y□ N□ NA□
	2	复位芯片实现的复位电路，测试 /MR、WDI、WDO等信号；	Y□ N□ NA□
	3	复位芯片实现的复位电路，测试复位芯片的电源管脚信号；	Y□ N□ NA□
	4	遍历上电复位、后台复位（命令复位）、按键复位等情况；	Y□ N□ NA□
总线测试	1	遍历测试数据、地址总线读写时序；	Y□ N□ NA□
	2	遍历测试业务数据总线时序；	Y□ N□ NA□
差分信号测试	1	差分信号尽量用差分探头测试；	Y□ N□ NA□
	2	部分标准接口差分信号尽量选择通信分析仪，套用模板测试（眼图）；	Y□ N□ NA□
串行总线测试	1	遍历测试单板上的串行总线	Y□ N□ NA□
	2	E1信号测试套用G. 703模板	Y□ N□ NA□
	3	标准电接口E1/T1、E3/T3、STM-1e，光接口STM-1、STM4，以太网口等的信号都建议使用通信信号分析仪内的信号模板来测量	Y□ N□ NA□

8 测试系统接地说明

本节只讨论影响测试时单板/系统的接地问题，不涉及单板/系统接地设计问题。

测试时需要特别注意单板/系统与测试设备仪器的接地问题。如果接地不良，或者接地不正确，就可能会导致测试结果错误，甚至损坏测试产品或设备仪表。

一般来说，单板/系统与测试设备仪器常涉及如下地信号：

GND： 一般单板上最常见的地平面，是+3.3V、+1.8V 等各电源信号的回流地信号（这里不区分单板上的模拟地 AGND 和数字地 DGND）。也常用来表征大地；

BGND： 直流-48V（+24V）电源（电池）回流地信号；

PGND： 保护地信号。**机壳即是 PGND 平面，常连到大地。**引入 PGND 是考虑**防雷**和**保护人身安全**的一种有效手段，例如当某种原因引起的相线（如电线绝缘不良，线路老化等）和设备外壳碰触时，设备的外壳就会有危险电压产生，由此生成的故障电流就会流经 PGND 线到大地，从而起到保护作用。

上述 3 种地信号在产品中常连接到一起，参考下图。

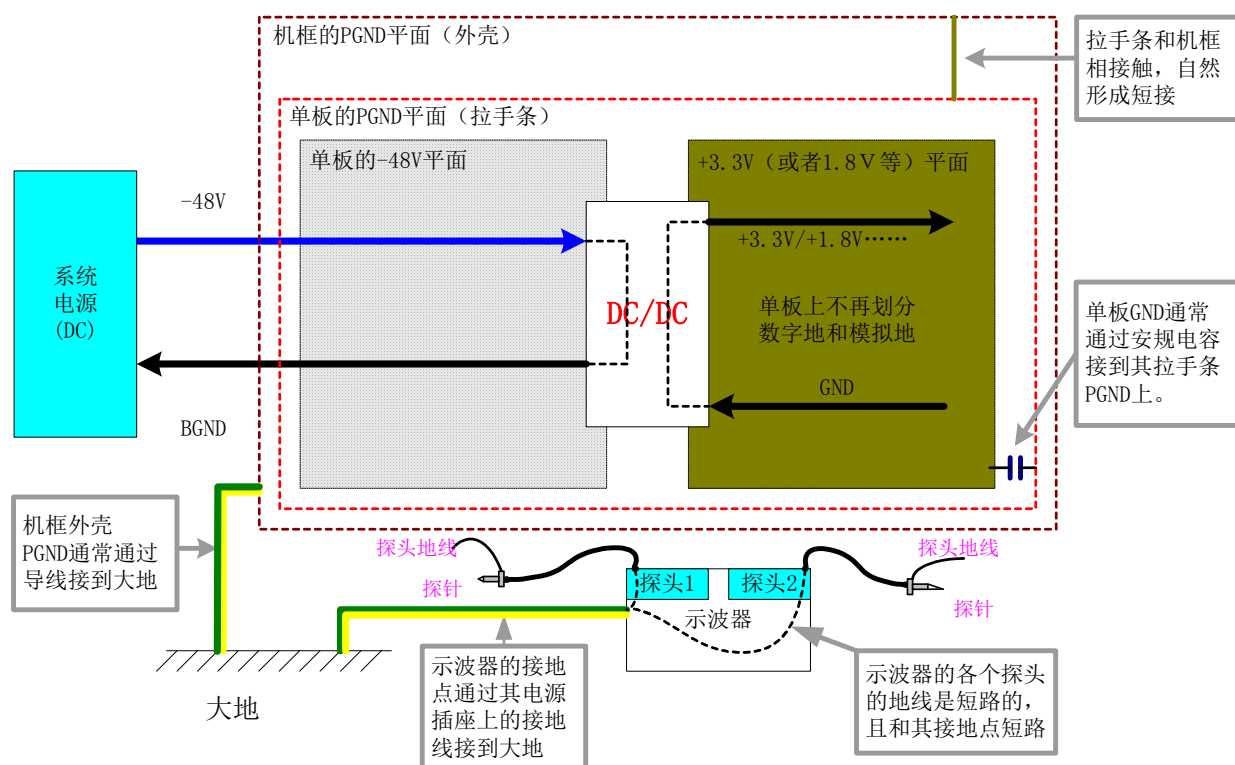


图9 测量信号时对应的各电源平面分布（直流-48V供电系统）

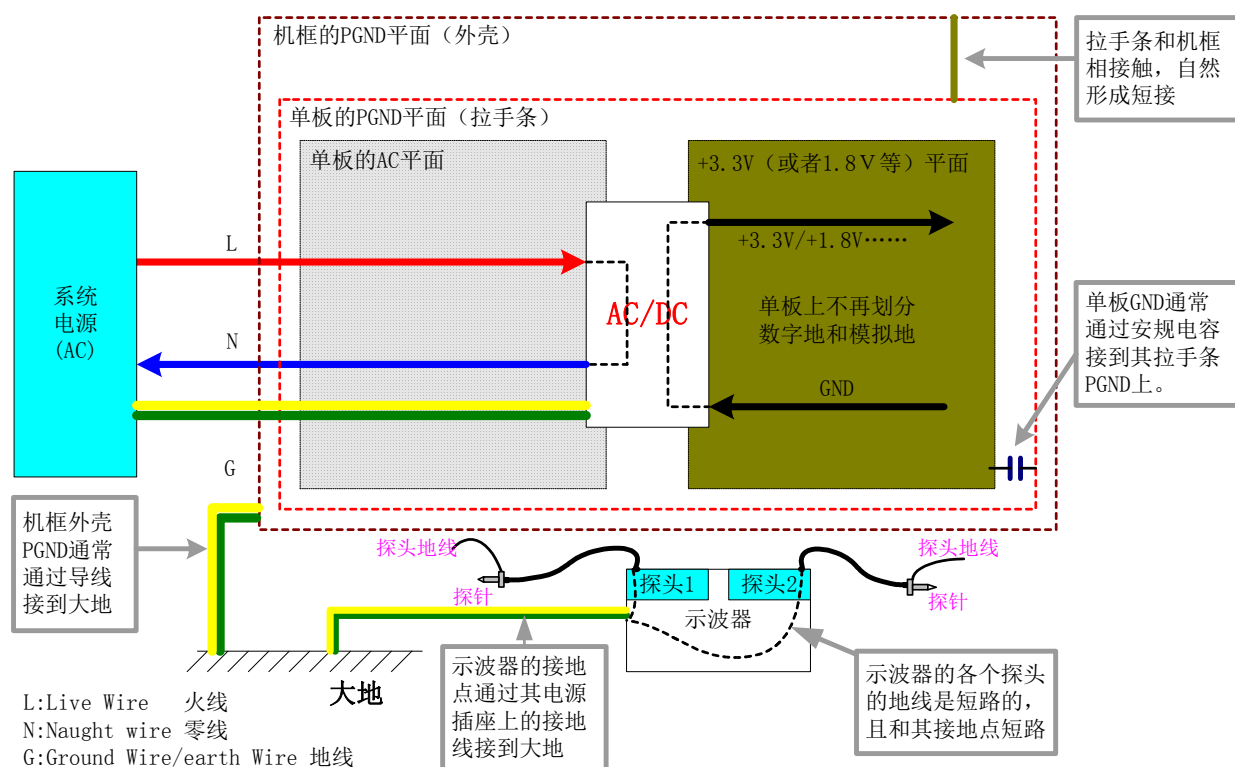


图10 测量信号时对应的各电源平面分布 (交流220V供电系统)

其它供电系统可以参考图9、图10。

对照上图, 可以得出关于测试时单板/系统接地需要注意的事项:



测试时接地

1. 测试单板/系统、示波器共地 (这一点常被忽略, 需要注意);
2. 测量时探头地线只接信号地。即对于-48V电源信号, 探头地线连接到BGND上; 对于低电压的+3.3V等信号, 探头地线连接到GND上。这种情况下可以混测, 例如用某个探头测量-48V信号, 而其它探头测量+3.3V信号;
3. 测量交流系统时, 建议只使用1个探头测试, 且探头地线接N端。

注意以上几点, 可以避免由接地不对带来的测试问题。

[说明]

- 1、**安规电容**。单板GND通常通过**安规电容**（高压电容，一般为2KV/1000pF）接到PGND上（拉手条）。安规电容主要起泻放作用，把前一级防护电路不能及时泻放的能量耦合到PGND上进行继续泻放，但是要配合仔细选择GND螺钉的位置，否则适得其反。另外安规电容还常用作**Y电容**，（和共模电感配合）用于滤除开关电源初级产生的共模干扰；

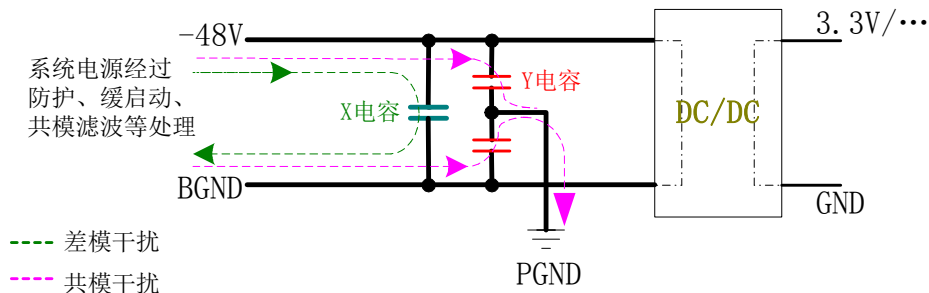


图11 安规电容用作Y电容使用时滤掉共模干扰

- 2、**BGND 和 PGND**。在远端 BGND 和 PGND 短接（远端是相对设备/系统而言，一般指局方电源）。在设备/系统端，如果是非窄带系统，一般可以在配电框中把 BGND 和 PGND进行短接；对于窄带系统，由于产品内部要用到 -48V 电源，所以其BGND 和 PGND没有任何连接；
- 3、交流系统的地线（G/E）和零线（N）在设备/系统端没有任何连接；
- 3、**模拟地AGND和数字地DGND**。模拟信号和数字信号都要回流到地，因为数字信号变化速度快，从而在**数字地上引起的噪声就会很大**，而**模拟信号是需要一个干净的地参考工作的**。如果模拟地和数字地混在一起，**噪声就会影响到模拟信号**。一般来说，模拟地和数字地要分开处理，然后通过细的走线连在一起，或者单点接在一起。总的思想是尽量**阻隔数字地上的噪声窜到模拟地上**。当然这也不是非常严格的要求模拟地和数字地必须分开，如果模拟部分附近的数字地还是很干净的话可以合在一起。例如目前很多产品不再区分模拟地AGND和数字地DGND，统一只使用GND。考虑到目前通信产品大都是多层PCB设计（一般>8层），有几个专门的GND平面，所以不区分模拟地AGND和数字地DGND，统一只使用GND，实际使用结果还没有发现问题。